

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-342600

(43)Date of publication of application : 13.12.1994

(51)Int.Cl. G11C 29/00  
G01R 31/26  
G01R 31/28  
H01L 21/66

(21)Application number : 05-206342

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 20.08.1993

(72)Inventor : YAMADA TOSHIRO  
FUJIWARA ATSUSHI  
INOUE MICHIHIRO  
MATSUYAMA KAZUHIRO

(30)Priority

Priority number : 04233379 Priority date : 01.09.1992 Priority country : JP

05 77846 05.04.1993

05 35039 24.02.1993

JP

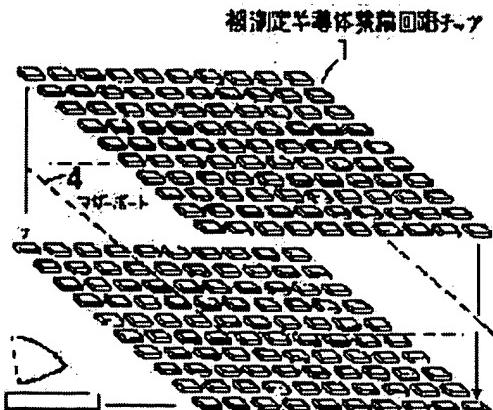
JP

(54) SEMICONDUCTOR TEST DEVICE, SEMICONDUCTOR TEST CIRCUIT CHIP AND PROBE CARD

(57)Abstract:

**PURPOSE:** To provide a low cost semiconductor test device which greatly increases the number of semiconductor integrated circuits being tested simultaneously and to greatly reduce the cost of testing these circuits.

**CONSTITUTION:** This device consists of plural semiconductor test circuit chips 2... which have dedicated functions to test only one kind of plural semiconductor integrated circuit chips 1... to be tested, a



computer 3 which controls the chips 2... and collects the test results and a mother board 4 which loads the chips 1... and 2... and connects them. The computer 3, which collects the test results, may be a low cost one because most of the test functions are included in the chips 2... and therefore, the price of the device is greatly reduced. If the number of chips 2... is increased, the number of chips to be simultaneously measured is greatly increased.

---

#### LEGAL STATUS

[Date of request for examination] 24.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2951166

[Date of registration] 09.07.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-342600

(43)公開日 平成6年(1994)12月13日

(51)Int.Cl.<sup>5</sup>

G 11 C 29/00

G 01 R 31/26

31/28

識別記号 庁内整理番号

303 A 6866-5L

G 9214-2G

J 9214-2G

F I

技術表示箇所

6912-2G

G 01 R 31/ 28

H

審査請求 未請求 請求項の数25 O L (全 16 頁) 最終頁に統ぐ

(21)出願番号

特願平5-206342

(22)出願日

平成5年(1993)8月20日

(31)優先権主張番号 特願平4-233379

(32)優先日 平4(1992)9月1日

(33)優先権主張国 日本 (JP)

(31)優先権主張番号 特願平5-77846

(32)優先日 平5(1993)4月5日

(33)優先権主張国 日本 (JP)

(31)優先権主張番号 特願平5-35039

(32)優先日 平5(1993)2月24日

(33)優先権主張国 日本 (JP)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山田 俊郎

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72)発明者 藤原 淳

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72)発明者 井上 道弘

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74)代理人 弁理士 前田 弘 (外2名)

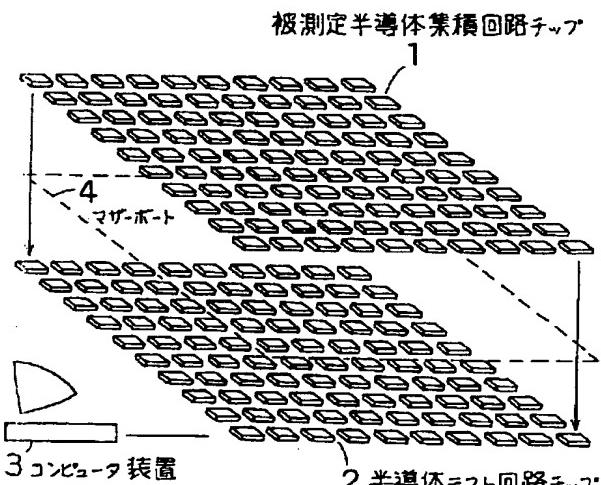
最終頁に統ぐ

(54)【発明の名称】 半導体テスト装置、半導体テスト回路チップ及びプローブカード

(57)【要約】

【目的】 低価格化と、被測定半導体集積回路の同時測定数の著しい増大とを実現できる半導体テスト装置を提供し、これにより、被測定半導体集積回路のテストコストの著しい低減を可能にする。

【構成】 一品種の複数の被測定半導体集積回路チップ1…のみをテストするように設計された専用機能の複数の半導体テスト回路チップ2…と、前記テスト回路チップ2…を制御し、テスト結果を収集するコンピュータ3と、前記複数の被測定チップ1…と前記複数のテスト回路チップ2…とを搭載し且つ接続するマザーボード4とを備える。テスト機能の多くはテスト回路チップ2…に取り込まれるので、テスト結果を収集するコンピュータ3は低価格のものでよく、従って半導体テスト装置の価格を大幅に下げることが可能である。テスト回路チップ2…の数を増やせば、同時測定数は著しく増大できる。



## 【特許請求の範囲】

【請求項1】 被測定半導体集積回路チップをテストする半導体テスト装置であつて、一品種の複数の被測定半導体集積回路チップのみをテストするように設計された専用機能を有する複数の半導体テスト回路チップと、前記複数の半導体テスト回路チップを制御し、前記複数の被測定半導体集積回路チップのテスト結果を収集するコンピュータと、前記複数の被測定半導体集積回路チップと前記複数の半導体テスト回路チップとを接続する接続手段とを備えたことを特徴とする半導体テスト装置。

【請求項2】 接続手段は、平板状に形成されたマザーボードであることを特徴とする請求項1記載の半導体テスト装置。

【請求項3】 複数の被測定半導体集積回路チップと半導体テスト回路チップとの数を同数にしたことを特徴とする請求項1記載の半導体テスト装置。

【請求項4】 マザーボードの一面に複数の被測定半導体集積回路チップが配置され、マザーボードの他面に半導体テスト回路チップが配置されることを特徴とする請求項2記載の半導体チップテスト装置。

【請求項5】 一品種の被測定半導体集積回路チップのみをテストするように設計された専用機能を有する半導体テスト回路チップであつて、前記被測定半導体集積回路チップに印加すべきテストパターンを発生するテストパターン発生回路と、前記テストパターン発生回路で発生させたテストパターンに対する被測定半導体集積回路チップからの応答波形のタイミングを測定するタイミング測定回路と、前記被測定半導体集積回路チップの消費電流の測定を行なう電流測定回路と、前記被測定半導体集積回路チップの不良を解析する不良解析回路とを備えたことを特徴とする半導体テスト回路チップ。

【請求項6】 電流測定回路は、被測定半導体集積回路チップに定電圧を印加する定電圧発生回路と、設定電流レベルに対応する設定電圧を発生する電流レベル設定回路と、前記定電圧発生回路における前記被測定半導体集積回路チップの消費電流に応動する部分の電圧を前記電流レベル設定回路の設定電圧と比較する比較回路とを備えていることを特徴とする請求項5記載の半導体テスト回路チップ。

【請求項7】 被測定半導体集積回路チップとほぼ同じデザインルール及びプロセスにより製造されることを特徴とする請求項5記載の半導体テスト回路チップ。

【請求項8】 被測定半導体集積回路チップの製造プロセス時に、ウェハのプロセスモニタ領域に作り込まれることを特徴とする請求項5又は請求項7記載の半導体テスト回路チップ。

【請求項9】 被測定半導体集積回路に印加するテストパターンを発生するテストパターン発生手段と、前記テストパターン発生手段で発生されたテストパターンに対する被測定半導体集積回路の出力情報を記憶する情報記憶手段と、前記情報記憶手段に記載された被測定半導体集積回路の出力情報の不良判定を行う判定手段とが同一チップ内に集積されることを特徴とする半導体テスト回路チップ。

【請求項10】 被測定半導体集積回路に印加するテストパターンを発生するテストパターン発生手段と、前記テストパターン発生手段で発生されたテストパターンに対する被測定半導体集積回路の出力情報を記憶する情報記憶手段と、前記情報記憶手段に記憶された被測定半導体集積回路の出力情報の不良判定を行う判定手段とを同一チップ内に集積したことを特徴とする請求項6記載の半導体テスト回路チップ。

【請求項11】 情報記憶手段のアドレスを発生する記憶アドレス発生手段が更に同一チップ内に集積されることを特徴とする請求項9記載の半導体テスト回路チップ。

【請求項12】 情報記憶手段と判定手段とが同数の複数個設けられ、前記複数の情報記憶手段の中から1個の情報記憶手段を選択する選択手段を前記複数個の情報記憶手段及び判定手段と同一チップ内に集積したことを特徴とする請求項9記載の半導体テスト回路チップ。

【請求項13】 情報記憶手段に記憶された被測定半導体集積回路の出力情報を判定手段により不良判定を行つてゐる時、前記判定手段に出力情報を提供している情報記憶手段以外の情報記憶手段は、被測定半導体集積回路の出力情報の記憶を行うことを特徴とする請求項12記載の半導体テスト回路チップ。

【請求項14】 半導体ウェハー上の複数の被測定半導体集積回路をテストする機能を具備する複数のテスト機能具備手段と、前記複数の被測定半導体集積回路の各々の複数の位置に接触する複数のプローブ針と、前記複数のテスト機能具備手段及び複数のプローブ針を支持するプローブカード本体とを備えたことを特徴とするプローブカード。

【請求項15】 半導体ウェハー上の複数の被測定半導体集積回路をテストする機能を具備する複数のテスト機能具備手段、前記複数の被測定半導体集積回路の各々の複数の位置に接触する複数のプローブ針、並びに前記複数のテスト機能具備手段及び複数のプローブ針を支持するプローブカード本体を有するプローブカードと、前記プローブカードを交換するチャック手段と、前記プローブカードによりテストされた被測定半導体集積回路のテスト結果を収集するコンピュータとを備えたことを特徴とする半導体テスト装置。

【請求項16】 テスト機能具備手段は、被測定半導体集積回路に印加するテストパターンを発生するテストパターン発生手段と、前記テストパターン発生手段で発生されたテストパターンに対する被測定半導体集積回路の出力情報を記憶する情報記憶手段と、前記情報記憶手段に記載された被測定半導体集積回路の出力情報の不良判

定を行う判定手段とを同一チップ内に集積した半導体テスト回路チップであることを特徴とする請求項14記載のプロープカード又は請求項15記載の半導体テスト装置。

【請求項17】複数のテスト機能具備手段は、プロープカード本体の周縁に配置されることを特徴とする請求項14記載のプロープカード又は請求項15記載の半導体テスト装置。

【請求項18】複数のテスト機能具備手段の各々は、プロープカード本体の複数のプロープ針が囲む複数の平面の各々とオーバーラップする位置に配置されることを特徴とする請求項14記載のプロープカード又は請求項15記載の半導体テスト装置。

【請求項19】プロープカードの複数の設定位置と半導体ウェハーの複数の設定位置との位置合せを検出するウェハー位置合せ検出手段を備えることを特徴とする請求項14記載のプロープカード又は請求項15記載の半導体テスト装置。

【請求項20】半導体ウェハー位置合せ検出手段は、アライメント用プロープ針と、前記アライメント用プロープ針に流れる電流を検出する電流検出手段とを有することを特徴とする請求項19記載のプロープカード又は半導体テスト装置。

【請求項21】ウェハー位置合せ検出手段は、アライメント用プロープ針と、前記アライメント用プロープ針と各半導体ウェハー上に形成されたアライメント用パターンとの間の静電容量を検出する静電容量検出手段とを有することを特徴とする請求項19記載のプロープカード又は半導体テスト装置。

【請求項22】コンピュータに搭載された被測定半導体集積回路チップをテストする半導体テスト回路チップと、前記被測定半導体集積回路チップのテストシーケンスを記憶するテストシーケンス記憶手段と、前記半導体テスト回路チップを制御し、前記被測定半導体集積回路チップのテスト結果を収集するテスト結果収集手段とを備え、前記半導体テスト回路チップ、テストシーケンス記憶手段及びテスト結果収集手段は前記コンピュータに備えられることを特徴とする半導体テスト装置。

【請求項23】半導体テスト回路チップは、コンピュータに内蔵するプロセッサの空き時間に被測定半導体集積回路チップのテストを行い、コンピュータは、前記半導体テスト回路チップのテストにより不良が発見された被測定半導体集積回路チップのアドレスを前記プロセッサに使用させないことを特徴とする請求項22記載の半導体テスト装置。

【請求項24】被測定半導体集積回路チップの不良アドレスは、コンピュータのディスク上に記憶されることを特徴とする請求項23記載の半導体テスト装置。

【請求項25】被測定半導体集積回路又は被測定半導体集積回路チップは、メモリであることを特徴とする請

求項1、請求項15、請求項16若しくは請求項22記載の半導体テスト装置、請求項7、請求項9若しくは請求項10記載の半導体テスト回路チップ、又は請求項14記載のプロープカード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、被測定半導体集積回路をテストする半導体チップテスト装置、半導体テスト回路チップ及びプロープカードの改良に関する。

【0002】

【従来の技術】近年、DRAMのテスト時間はその容量の増大等に起因して著しく増大している。テストコストの低減は1Gビット級DRAMを実現するために要求される重要なキーテクノロジーの一つである。DRAMは、次の2つの種類に分類して考えると考え易い。

【0003】1) FOM(Function Oriented Memory)：このカテゴリーのメモリには、ASM(Application Specified Memory)即ち、特定用途向けに特化させたメモリ等が含まれる。具体的には、画像処理機能を有しているビデオメモリ等がある。

【0004】2) COM(Cost Oriented Memory)：このカテゴリーは汎用メモリを含む。将来的には、シンクロナスマモリ等、準汎用品も含まれる可能性がある。これらのメモリはコストすなわち売値を安くするために大量生産されるものである。このCOMに於いてコストをいかに低減できるかは、将来そのようなメモリが存在できるかという根幹に関わる重要な問題である。このメモリのコストのうち、メモリのテスト時間すなわち、半導体プロセスをへてきたメモリチップのなか

から、良品を選別するのに要する時間が著しく増大している。

【0005】図19に、従来のテスト方式の構成概略図を示す。この従来のテスト方式では、1台のメモリテスタによって複数の被測定半導体集積回路チップ(DUT:Device Under Test)の測定を行なうものである。この図を用いて従来のテスト方式について説明する。351はメモリテスタ本体であり、フェイルビットメモリやコントローラが含まれている。352はVKT(Video Keyboard Terminal)端末である。353はテスタヘッドであり、被測定半導体集積回路チップDUT0～DUT3にテスト電圧を印加し測定するものである。これによって、メモリチップの製造コストに占めるテストコストは、図20のように増大して行くことになる。このトレンドグラフによれば、1Gビット時代にはテストコストの割合は40%を越えるものになり、もはや産業としてなりたたない。ここで、テストコストのトレンドの推定の根拠として、以下のものを用いた。

【0006】プロセスコストのトレンドの指標として、設備投資推定額を用いそのデータとして、平成3年電気、情報関連学会連合大会、三菱電気 小宮氏のデータ

5

から、相対値として、1M(1.0), 4M(2.7), 16M(6.7), 64M(20), 256M(33), 1G(67)とした。テスターの価格として、各世代最先端で2倍づつ推移すると仮定した。すなわち1Mを1として、M(1), 4M(2), 16M(4), 64M(8), 256M(16), 1G(32)。テスト時間について(表1)のように仮定し、相対的に1Mを1として、M(1), 4M(3.2), 16M(9.6), 64M(32), 256M(90), 1G(270)とした。

\*

6

\*【0007】さらに、同時測定数のトレンドとして、(表2)に示す3つの場合を仮定する。どのケースの場合に乗ってくるかは、各社の生産規模、生産品種数に大きく依存することになる。

【0008】

【表1】

|                 | 1M  | 4M  | 16M | 64M | 256M | 1G   |
|-----------------|-----|-----|-----|-----|------|------|
| サイクルタイム<br>(ns) | 100 | 80  | 60  | 50  | 40   | 30   |
| 容量              | 1   | 4   | 16  | 64  | 256  | 1024 |
| テスト時間比          | 1   | 3.2 | 9.6 | 32  | 90   | 270  |

【表2】

|        | 1M | 4M | 16M | 64M | 256M | 1G |
|--------|----|----|-----|-----|------|----|
| CASE 1 | 1  | 1  | 1   | 1   | 1    | 1  |
| CASE 2 | 1  | 1  | 2   | 2   | 4    | 4  |
| CASE 3 | 1  | 1  | 4   | 4   | 16   | 16 |

CASE 1：同時測定数が世代で変わらないとした場合

CASE 2：同時測定数が2世代で2倍ずつ大きくなる場合

CASE 3：同時測定数が2世代で4倍ずつ大きくなる場合

いずれの場合も1Mで1に規格化している。

【0009】以上のデータを基に、テストコスト=テスター価格\*測定時間／同時測定数として、テストコスト割合すなわちトータルコストに占めるテストコストの割合のトレンドを予測したものが、図20である。

【0010】この従来のテスト方式においてテストコストを著しく低減できない大きな理由は、(1) テスターの価格の上昇が著しい、(2) 極端に大きな同時測定数を実現することは極めて困難であることの2点である。

【0011】

【発明が解決しようとする課題】しかしながら、上記のような従来構成では、半導体テスト装置は、被測定半導体集積回路チップの品種の多くに対応して多くの品種の被測定半導体集積回路チップをテストできるように種々の解析機能を備えているため、低価格化を実現するのは困難である。また、被測定半導体集積回路チップの同時測定個数を著しく増大させるには、高額のテスターヘッドの数を大幅に増やさねばならず、更には各被測定半導体集積回路の不良が発見された場合に、その不良アドレスを記憶する不良アドレス記憶メモリの容量も膨大なものになるため、半導体テスト装置の価格の高額化を招き、同時測定数の多い半導体テスト装置を実現することは困難であった。

【0012】本発明は、上記問題点に鑑みてなされたものであり、その目的は、半導体テストに必要な装置の低価格化と、被測定半導体集積回路チップの同時測定個数が多い半導体テスト装置を提供し、よって被測定半導体集積回路チップのコストの著しい低減を可能にすることにある。

【0013】また、本発明では、更に、被測定半導体集積回路の同時測定を短時間で素早く行うことも目的とする。

【0014】

【課題を解決するための手段】上記技術的課題を解決するために、本発明では、一品種の被測定半導体集積回路のみをテストする専用機能を備えた半導体テスト回路チップを作成し、被測定半導体集積回路の品種に対応する半導体テスト回路チップを用いてテストを行う構成とし、これにより、半導体テスト装置本体では低コストの一般ワークステーション程度の機能を備えればよいようにして、半導体テスト装置のコストを低減する。

【0015】具体的に、請求項1記載の発明では、被測定半導体集積回路チップをテストする半導体テスト装置であって、一品種の複数の被測定半導体集積回路チップのみをテストするように設計された専用機能を有する複数の半導体テスト回路チップと、前記複数の半導体テスト回路チップを制御し、前記複数の被測定半導体集積回路チップのテスト結果を収集するコンピュータと、前記複数の被測定半導体集積回路チップと前記複数の半導体テスト回路チップとを接続する接続手段とを備えた半導体テスト装置を構成している。

【0016】また、請求項5記載の発明では、一品種の被測定半導体集積回路チップのみをテストするように設計された専用機能を有する半導体テスト回路チップであつて、前記被測定半導体集積回路チップに印加すべきテストパターンを発生するテストパターン発生回路と、前記テストパターン発生回路で発生させたテストパターンに対する被測定半導体集積回路チップからの応答波形のタイミングを測定するタイミング測定回路と、前記被測定半導体集積回路チップの消費電流の測定を行なう電流測定回路と、前記被測定半導体集積回路チップの不良を解析する不良解析回路とを備えた半導体テスト回路チップを構成している。

【0017】更に、請求項9記載の発明では、被測定半導体集積回路に印加するテストパターンを発生するテストパターン発生手段と、前記テストパターン発生手段で発生されたテストパターンに対する被測定半導体集積回路の出力情報を記憶する情報記憶手段と、前記情報記憶手段に記載された被測定半導体集積回路の出力情報の不良判定を行う判定手段とが同一チップ内に集積される半導体テスト回路チップを構成している。

【0018】加えて、請求項14記載の発明では、半導体ウェハー上の複数の被測定半導体集積回路をテストする機能を具備する複数のテスト機能具備手段と、前記複数の被測定半導体集積回路の各々の複数の位置に接触する複数のプローブ針と、前記複数のテスト機能具備手段及び複数のプローブ針を支持するプローブカード本体とを備えたプローブカードを構成している。

【0019】また、請求項22記載の発明では、コンピュータに搭載された被測定半導体集積回路チップをテストする半導体テスト回路チップと、前記被測定半導体集積回路チップのテストシーケンスを記憶するテストシーケンス記憶手段と、前記半導体テスト回路チップを制御し、前記被測定半導体集積回路チップのテスト結果を収集するテスト結果収集手段とを備え、前記半導体テスト回路チップ、テストシーケンス記憶手段及びテスト結果収集手段を前記コンピュータに備えた半導体テスト装置を構成している。

#### 【0020】

【作用】上記した構成によって、請求項1、請求項5、請求項9、請求項14及び請求項22記載の発明によれば、被測定半導体集積回路をテストする機能は、その多くが半導体テスト回路チップに取り込まれているので、テスト結果を収集するコンピュータは、例えばワーカステーションのような低価格のものでよく、従って半導体テスト装置の価格を大幅に下げることが可能である。しかも、被測定半導体集積回路の同時測定数を増やすには、接続手段上に搭載する半導体テスト回路チップの数を増やすだけでよいので、100個以上の同時測定数にでき、従来の同時測定数が4～数十程度の半導体テスト装置に比べて、1桁以上も同時測定数を増大させること

が容易に実現できる。

【0021】更に、請求項22記載の発明では、半導体テスト回路チップをコンピュータに内蔵するので、前記コンピュータに既設されている作動上必要な半導体集積回路をもテストすることが可能である。

#### 【0022】

##### 【実施例】

(実施例1) 以下本発明の半導体テスト装置の一実施例について、図面を参照しながら説明する。

【0023】図1は、被測定半導体集積回路のテストの種類を示し、ステップS1で半導体ウェハー上に形成された被測定半導体集積回路を半導体ウェハ一段階でテストするウェハーテストと、その後に半導体ウェハーから被測定半導体集積回路チップを切り出し、その各チップに電極バンプを形成し、パッケージングした後に、この被測定半導体集積回路チップを更にテストするパッケージング後の組立テストとの2種類のテストが行われる。

【0024】図2は本発明の第1の実施例におけるパッケージング後の組立テストに使用する半導体テスト装置の概略構成図を示す。同図において、1、1…はアレイ状に縦10行、横10列に配置された複数(100個)の被測定半導体集積回路チップ、2、2…は同様にアレイ状に縦10行、横10列に配置された複数(100個)の半導体テスト回路チップである。

【0025】3は前記被測定半導体集積回路チップ1…と半導体テスト回路チップ2…とを接続する接続手段としてのマザーボードであって、前記マザーボード4の上面には前記被測定半導体集積回路チップ1…が配置され、マザーボード4の下面には前記半導体テスト回路チップ2…が配置される。本実施例では、100個の被測定半導体集積回路チップ1…の同時測定を実現している。

【0026】前記マザーボード3には、図3に示すように複数の接続部材26…が配置されていて、これ等の接続部材26…の下面には各々半導体テスト回路チップ2…が接続され、各接続部材26…の上面には各々チップソケット27…を介して前記被測定半導体集積回路チップ1…が取外し可能に実装されており、これ等の被測定半導体集積回路チップ1…は測定評価の終了時にはチップソケット27…から取外され、次に測定対象となる被測定半導体チップ1…と交換される。

【0027】4はコンピュータであって、配線25及び前記マザーボード3を経て各半導体テスト回路チップ2…に接続されて、各テスト回路チップ2…のテスト結果を収集する。

【0028】次に、本実施例における半導体のテストの様子を説明する。

【0029】先ず、被測定集積回路チップ1…がマザーボード4の上面にチップソケット27…を介して実装される。次に、コンピュータ4からマザーボード3を介し

て各テスト回路チップ2…に測定方法の指示や測定スタートの指示が送られる。続いて、半導体テスト回路チップ2…が前記送られた測定方法に従って各々担当する被測定半導体集積回路1…をテストする。その後、そのテスト結果がマザーボード4を介してコンピュータ4に送られて、一連の評価が完了する。

【0030】以上の構成から、本実施例では以下の効果を奏する。

【0031】即ち、半導体テスト装置の機能は、各半導体テスト回路チップ2…に取り込まれているため、テスト結果を収集するコンピュータ4は、例えばワークステーションのような低価格のものでよく、従って半導体テスト装置の価格を大幅に下げることができる。また、同時に測定数を増やすには、マザーボード4上に搭載するテスト回路チップ2…の数を増やすだけでよく、従来に比べて1桁以上の同時に測定数の増大を容易に実現できる。実際に、本発明によれば、例えば50cm角面積のマザーボード3で容易に100個の同時に測定を実現でき、システムを巨大化することなく、同時に測定数を従来の10倍程度に容易に高めることができる。

【0032】更に、本実施例では、マザーボード3の上面及び下面に各々複数の被測定半導体集積回路チップ1…と、複数の半導体テスト回路チップ2…を実装できるので、被測定半導体集積回路チップ1…とテスト回路チップ2間の接続距離を短くでき、周波数の高い測定にも従来よりも一層容易に対応できる。更に、マザーボード3として断熱特性の良いものを用いれば、被測定半導体チップ1…を実装したマザーボード3を恒温層に入れて温度設定を変えることができ、被測定半導体チップ1…の温度テストも容易に実現できる。

【0033】加えて、半導体テスト装置の設置面積が容易に従来の10分の1程度にできるので、半導体テスト装置の導入コストの大きな割合をしめる床面積の低減が図れて、結果的にテストコスト低減を実現できる。

【0034】次に、上記半導体テスト装置に用いる半導体テスト回路チップ2の内部構成例について説明する。図4に半導体テスト回路チップ2の内部構成例を示す。同図において、5は被測定半導体集積回路に印加すべきテストパターンを発生する測定パターン発生回路、6は測定パターン発生回路5で発生させたテストパターンに対する被測定半導体集積回路からの応答波形の遅延時間等を測定するタイミング測定回路、7は被測定半導体集積回路の消費電流の測定を行なう電流測定回路、8は被測定半導体チップの不良を解析する不良解析回路、9は制御回路、10は入出力回路である。また、11は各回路ブロック間の信号のやり取りを行なう内部バスである。

【0035】前記各部の動作及び構成例について、テストの流れに従って説明する。

【0036】通常、半導体テストでは、被測定半導体集

積回路の消費電流の測定を行ない、それに異常があれば、そこで測定を中止する。本実施例では、入出力回路10を介して、被測定半導体チップ1に電源電圧が供給され、その電流量を測定する。測定方法としては、本実施例では図5のものを用いている。同図は図4に示す電流測定回路7の概略構成図である。

【0037】図5において、12は被測定チップに電流測定時に電源を供給する被測定チップ電源端子である。14は電源電流を制御するドライブトランジスタ、13は基準電圧発生回路15の出力と被測定チップに供給されている電圧とを比較するコンパレータ回路である。ここで、12、13、14、15で通常の定電圧発生回路30が構成されることになる。さらに、本実施例では、電流レベル設定回路16及び電流レベル比較用コンパレータ17が付加されている。電流測定の原理は、電源ドライブトランジスタ14がP型である場合、消費電流が大きい時、そのゲート電圧がより下がることになる。このゲート電圧をコンパレータ17で電流レベル設定回路16の発生電圧と比較することによって、消費電流レベルを検出する。

【0038】次に、測定パターン発生回路5によって各被測定半導体集積回路チップ1…に印加すべきテストパターンが発生される。本実施例では、通常のROM(Read Only Memory)を用いている。被測定半導体集積回路チップ1…から出てきた波形から、遅延時間等を測定するが、これは、タイミング測定回路6中の論理回路等で構成された遅延回路を通したテストパターンと被測定半導体集積回路チップ1…から出てきた波形とを比較することでなされる。

【0039】また、被測定半導体集積回路チップ1…の不良は、不良解析回路8により、測定パターン発生回路5が発生する期待値データと、被測定半導体集積回路チップ1…が出力する波形信号とを比較することによってなされる。制御回路9はこれらの回路ブロックの動作を制御するものである。

【0040】更に、本実施例では、マザーボード2に搭載される被測定半導体集積回路チップ1…とほぼ同じデザインルール及びプロセスでこの半導体テスト回路チップ2…を製造している。これによって、測定対象となる被測定半導体集積回路チップ1…が必要とするタイミング精度を無理なく実現している。

【0041】図6は、半導体テスト回路チップ2…の半導体ウェハー上の製造位置を示す。同図において、35は半導体ウェハー、36…は前記半導体ウェハー35において被測定半導体集積回路チップ1…を製造する実デバイス領域、37…は前記各実デバイス領域36…を除く空き領域であるプロセスモニタ領域である。半導体テスト回路チップ2…は、被測定半導体集積回路チップ1…の製造プロセス時に各プロセスモニタ領域37…に同時に作り込まれる。従って、半導体テスト回路チップ2

…を製造するコストを抑えることができる。

【0042】(実施例2) 図7は、本発明の第2の実施例の半導体テスト回路チップの他の構成図を示す。同図において、2は半導体テスト回路チップ、51aはテストパターン発生手段、52はテストパターン発生手段51で発生されたテストパターンを被測定半導体集積回路チップである被試験メモリ54に印加するドライバである。55a, 55bはSRAM1, SRAM2からなる情報記憶手段であり、ドライバ52によって印加されたテストパターンに対する被試験メモリ54の出力情報を記憶する。53は出力情報を記憶させる方の情報記憶手段55a, 55bを選択する情報記憶手段選択回路、56, 57はSRAM1, SRAM2に記憶された出力情報の不良判定を行う情報判定手段、58は情報判定手段56, 57の出力の一方を選択し、ワープステーション60へ転送する判定結果選択回路である。

【0043】以上のように構成された半導体テスト回路チップについて、以下図7を用いてその動作を説明する。

【0044】先ず、テストパターン発生手段51aよりテストアドレス、期待値、制御信号よりなるテストパターンが発生され、ドライバ52により被試験メモリ54に印加される。被試験メモリ54はこのテストパターンに対応した情報を出力する。情報記憶手段選択回路53はSRAM1又はSRAM2を選択し、前記出力情報は前記選択回路53により選択された例えばSRAM1に記憶される。SRAM1に対応するアドレス領域の転送期間が終了すると、情報記憶手段選択回路53はSRAM2を選択し、被試験メモリ54からの出力情報がSRAM2に記憶される。ここで、SRAM2に切り換えられている間にテストパターン発生手段51aより読み出しアドレスが発生し、前記SRAM1に記憶された出力情報のうち読み出しアドレスに対応する出力情報のみが情報判定手段56に読み出されて、この情報判定手段56が不良判定を行う。そして、その不良判定の結果が判定結果選択回路58によりワープステーション60に転送されると共に、対応する読み出しアドレスもワープステーション60に転送される。

【0045】図8に情報判定手段56の一具体例を示す。202～217はSRAM1の中からテストパターン発生手段51aの読み出しアドレスにより選択された16個の情報をラッチし、増幅する前置増幅器である。前置増幅器202～217から出力された情報R1～R16はそれぞれ図8(a)に示したような接続法で判定回路218～225に接続されている。図9に判定回路218の例を示す。

【0046】図8(a)に示した接続法で得られる情報R1～R16の仮想的なマトリックスは同図(b)のようになる。これはSRAM1から出力される16ビットの情報R1～R16を順に4ビットずつ取り、それを4

行に並べ、4行4列の2次元マトリックスにしたものであり、226～229は各行に対する判定回路の出力である。出力226～229は、同図のマトリックスの行(左右)方向の情報がすべて一致しているときには高レベル(以後“H”という)を出力し、不一致のときには低レベル(以後“L”という)を出力する。出力230～233は図8(b)のマトリックスの列(上下)方向の情報がすべて一致しているときには“H”を出力し、不一致のときには“L”を出力する。例えば、被試験メモリ4にすべて同一の情報を書き込んで起くと、R1～R16としては書き込んだ同一の情報が得られ、判定回路218～225の出力はすべて“H”となる。いま、被試験メモリ54の中の1つのアドレスが不良であるとする。たとえばR6が不良に対応していると仮定する。R6だけ他の情報と一致しないので出力227と231に“L”が出力され、その他の出力には“H”が出力される。従って、不良アドレスは、図8(b)に示した仮想的なマトリックスの出力227に対応した行と、出力231に対応した列の交点に対応する情報R6であることが判定される。従って、ワープステーション60には、出力226～233の8個のデータと読み出しアドレスとを出力すればよい。

【0047】このような構成によれば、不良を判定する速度は被試験メモリ54の転送速度より遅くてもよい。例えば、被試験メモリ54が転送速度100MHzのシンクロナスDRAMで、SRAM1, SRAM2の容量がそれぞれ64ビットであるとすると、SRAM1又はSRAM2に64ビットの情報を転送するのに640ナノ秒かかり、その間に16ビットの並列テストであれば4回実行すればよいので、1回の判定は160ナノ秒の間に行われればよい。また、並列テスト回路を被試験メモリ54中に内蔵しないので、チップ面積の制約がなく、回路規模の大きな判定回路も採用することができる。さらに、判定結果の出力ピン数も制約されないため、多数の判定結果を出力できる。

【0048】本実施例では、情報判定手段56, 57として複数の情報の一一致不一致を検出する並列テスト法を示したが、他の方法、例えば垂直水平パリティチェックを用いる方法、複数の情報を同時に複数の期待値と比較する方法などでもよい。また、複数の異なる情報判定手段を同時に併せて用いることもできる。

【0049】また本実施例では、情報記憶手段5を2個設けた例で示したが、これは2つに限定されず、複数設けることも可能である。

【0050】図10は更に他の半導体テスト回路チップの構成図を示すものである。基本的には前述の実施例と同じ構成であるので異なる構成部分についてのみ説明する。異なる部分は、被試験メモリ54からの出力情報をSRAM1, SRAM2へ記憶する場合のSRAM1又はSRAM2内のアドレスをテストパターンと独立に発

13

生する記憶アドレス発生手段59を設けている点である。

【0051】以上のように構成された半導体テスト回路チップ2について、以下図10を用いてその動作を説明する。

【0052】先ず、テストパターン発生手段51bよりテストアドレス、期待値、制御信号よりなるテストパターンが発生され、ドライバ52により被試験メモリ54に印加される。被テストメモリ54はこのテストパターンに対応した情報を出力する。出力情報は情報記憶手段選択回路53によって選択されたSRAM1の記憶アドレス発生手段59によって選択されたアドレスに記憶される。SRAM1に対応するアドレス領域の転送期間が終了し、情報記憶手段選択回路53の選択する情報記憶手段がSRAM2に切り換えられている間に情報判定手段56がSRAM1に記憶された出力情報の不良判定を行い、結果は、判定結果選択回路58によってワクステーション60へ転送される。

【0053】以上のような構成によれば、前記の実施例と同様に不良を判定する速度は被試験メモリ54の転送速度よりも遅くてよい。また、並列テスト回路を被試験メモリ54中に内蔵しないので、チップ面積の制約がなく、回路規模の大きな判定回路も採用することができるうえ、判定結果の出力ピン数も制約されないため、多数の判定結果を出力できる。

【0054】さらに、この構成によれば、被試験メモリ54のアドレスとそのアドレスから得られた情報を記憶するSRAM1又はSRAM2におけるアドレスの対応を自由に設定できるため、情報判定手段6、7において並列の判定される情報の組み合わせを任意に選択することができる。従って、並列にテストする情報がすべて不良で並列テスト回路が誤動作するのを防ぐことができる。この説明図を図11に示す。ここでは、被試験メモリ54の容量が1024ビット、SRAM1の容量が64ビットで16ビットの並列テストを行う例で説明する。

【0055】転送1では、被試験メモリ54から0, 1, 2, …の順に読みだした情報をSRAM1に順次記憶している。この場合、並列テストを行う16ビットの情報の組み合わせは、(0, 1, 2~15)、(16, 17~31)…となり、これは被試験メモリ54上では同一ワード線上の情報となる。このような組み合わせの並列テストの場合、被試験メモリ54で起り易い不良の一種であるワード線不良、即ち、ワード線の不良のため同一ワード線上のすべての情報が不良となる。例えば0~31がすべて反転するといった不良は検出されない。

【0056】転送2では、被試験メモリ54の対角線上の情報をSRAM1に順次記憶している。この場合、並列にテストをする情報は、(0, 33, 66, 99...)となり、同一ワード線上の情報は含まれなくなる。この

14

ように任意の情報の組み合わせで並列テストを行うことができる、被試験メモリ54の内部のセルアレイ構成によらず不良検出率の高い並列テストを実現することができる。

【0057】(実施例3) 図12は本発明の第3の実施例におけるウェハーテストに使用する半導体テスト装置の構成概略図を示すものである。同図において、101はプローバー装置本体、2…は半導体集積回路をテストする機能を具備するテスト機能具備手段としての半導体テスト回路チップ、103は前記半導体テスト回路チップ2…を搭載したプロープカード本体、104…は複数のプロープ針、105は半導体テスト装置全体を制御し、被測定半導体集積回路の測定結果を収集するワークステーション装置、106は前記被測定半導体集積回路を作り込んだ半導体ウェハーである。前記複数のプロープ針104…は、半導体ウェハー106上の各被測定半導体集積回路とプロープカード本体103間の電気的接続を行う。107は半導体ウェハー106を載せるチャックステージ、108は前記チャックステージ107を四方に移動させるチャックステージ移動手段である。

【0058】本実施例の動作について簡単に説明する。

【0059】先ず、被測定半導体集積回路を作り込んだ半導体ウェハー106が、チェックステージ107に真空などを用いて吸着される。半導体ウェハー106の被測定半導体集積回路が、プロープ針104を通してプロープカード本体103上にある半導体テスト回路チップ2に電気的に接続される。ワークステーション105から、制御信号がプローバー装置101、プロープカード本体103を介して、半導体テスト回路チップ2に伝達され、これにより半導体テスト回路チップ2が半導体ウェハー106上に作り込まれた被測定半導体集積回路の測定を開始する。その測定結果は、前述した経路を逆に遡ってワークステーション105に戻される。

【0060】次に、プロープカード本体103の構成について説明する。

【0061】図13はプロープカード本体の一構成例を示し、同図(a)はプロープカードの上面図、同図(b)はプロープカード側面図である。

【0062】同図において、103はプロープカード本体、104はプロープ針であって、被測定半導体集積回路に電気的に接觸する。105はプロープ針基部であつて、前記プロープ針104がプロープカード本体103に固定されている部分である。2は半導体テスト回路チップであって、前記プロープカード本体103の周縁に配置されると共に、プロープカード本体103に対して垂直に実装されている。110はコミュニケーションピンであり、プロープカード本体103と装置本体との間の電気的接続を実現し、これによって、プロープカード本体103と装置間の情報交換を可能としている。尚、図中では、複雑になるので図示していないが、コミュニ

15

ケーションピン110、プローブ針基部105、半導体テスト回路チップ2間は、必要な接続がプローブカード本体103内で実現されている。

【0063】次に、プローブカード本体103の別の構成について説明する。図14はプローブカード本体の別10の構成例を示すものである。同図(a)はプローブカードの上面図、同図(b)はプローブカード側面図である。

【0064】同図において、103はプローブカード本体、104…はプローブ針であって、測定するデバイスに電気的に接触するものである。105はプローブ針基部であり、前記プローブ針104がプローブカード本体103に固定されている部分である。2…は半導体テスト回路チップであって、前記プローブカード本体3の複数のプローブ針4…が囲む複数の平面の各々とオーバーラップする位置、特に本実施例では具体的にこれ等の平面の内部に配置されている。これにより、図13の場合と異なり、プローブカード本体103内の配線が簡単にになり、プローブカード作成のコストをより低減できる。110は、コミュニケーションピンであり、プローブカード本体103と、装置本体間の電気的接続を実現し、これによりプローブカード本体103と装置間の情報交換を可能としている。尚、図中では複雑になるので記入していないが、コミュニケーションピン110、プローブ針基部105、半導体テスト回路チップ2間は必要な接続がプローブカード本体103内で実現されている。

【0065】以上、図13又は図14に示すプローブカード本体を図12に用いることにより、従来の技術では、不可能であった大幅な同時測定数を実現することができる。また、テスト装置の主要な機能は、プローブカード1上の半導体テスト回路チップ2…によって実現されるので、大幅な半導体テスト装置の値段の低減を実現できる。

【0066】また、プローブ針の消耗を考えた場合、プローブ針部が分離交換できるように、プローブ針部とその他のカード部分が分離可能に構成してもよい。

【0067】次に、廉価な半導体ウェハー検査装置として、ウェハー位置合わせ検出手段を搭載したものを説明する。従来のプローブ装置では、1個又は数個の半導体ウェハー上の半導体チップを一時に測定できるのが限界であったが、本実施例では、1枚の半導体ウェハー上の全被測定半導体集積回路チップを同時に測定することを主眼とする。この概念をウェハースケールコンカレントプローピング手法(Wafer Scale Concurrent Probing Scheme)と名付ける。

【0068】図15(a)はプローブカードの上面図、同図(b)はプローブカード側面図、同図(c)は半導体ウェハーがウェハーステージに載置された側面図である。図15を用いて本プローブカードの構成について説明する。

16

【0069】同図において、103はプローブカード本体、104はプローブ針、105はプローブ針基部、106は測定すべき半導体チップを作り込んだ半導体ウェハー、2は半導体テスト回路チップ、110はコミュニケーションピン、111はアライメント用センサー針、114はアライメント用センサー針111の駆動部であり、ウェハーアライメント時に、センサー針111の先端部がプローブ針104の先端部より、下になるように駆動し、実際の測定時では上になるように駆動するものである。112は、半導体ウェハー上に形成されたウェハーアライメント用パターン、113は実際の半導体チップのパッドである。

【0070】次に本実施例における動作について説明する。

【0071】先ず、ウェハーステージ107によって、半導体ウェハー106がプローブカード本体3に対して、概ねアライメントされる。

【0072】次に、センサー針111が、センサー針駆動部114によって半導体ウェハー106面上に接触される。この時、センサー針111に流れる電流が検知され、半導体ウェハー106とプローブカード本体103のアライメントずれが検知される。次に、再びセンサー針111がセンサー針駆動部114によって半導体ウェハー106面上から離され、再度ウェハーステージ107が移動したのち、センサー針111が降下して、このセンサー針111に流れる電流が検知され、半導体ウェハー106とプローブカード本体103のアライメントずれが検知される。この課程が繰り返された後正しいアライメントが得られ、今度はプローブカード本体103が降下し、プローブカード上の半導体テスト回路チップ2が測定を開始する。

【0073】次に、半導体ウェハー上に形成されたアライメント用パッドの構成について説明する。図16にその具体例の平面図を示す。ここで112は、半導体ウェハー106上に形成された金属配線層からなる、アライメント用パッドを構成するパターンである。130a、130b、130cは正しくアライメントされたときの、センサー針111の接触位置、131a、131b、131cは誤ってアライメントされたときの、センサー針111の接触位置である。この図から判るように、正しくアライメントされたときは、3本のセンサー針111間に電気的接続ではなく、電圧を印加しても電流は流れない。これに対し、正しくアライメントされていない場合、電流が流れることになる。特にこの図の場合、131a、131c間に電流が流れ。これを検出してウェハーステージ107を再度位置を変えを行う。図16の場合、図面に対して、上下方向のみに検出能力があるが、同様なものを向きを変えて半導体ウェハーの反対側に配置すれば、これだけで半導体ウェハーの位置決めをするに十分な情報が集められる。

【0074】図17は、位置合せ検出手段の変形例を示し、前記の説明では、電流を測定してアライメント情報を採取したのに代え、静電容量の変化を用いてアライメント情報を採取したもよい。即ち、プロープカード本体103の周縁には、複数箇所の位置に容量センサ150…が配置されると共に、半導体ウェハー7上の周縁には複数の容量センサ用パターン151…が形成されていて、各容量センサ151が対応する容量センサ用パターン152に近接した時、各容量センサ151の出力が最も大値に変化し、これにより各プロープ針104が半導体ウェハー106上の対応する電極パッド153…に精度良く接触する正しいアライメントが得られる。この場合、前述のセンサー駆動部は省略できる。

【0075】(実施例4)図18は第4の実施例を示す。本実施例は、製造工程時に被測定半導体集積回路をテストする半導体テスト装置ではなく、既にコンピュータに内蔵された半導体メモリチップをテストする半導体テスト装置を示す。

【0076】図18に前記半導体テスト装置の概略構成図を示す。319はコンピュータ応用機器のプロセッサ、2は本発明に係る半導体テスト回路チップ、1…は前記プロセッサで使用している被測定半導体集積回路チップとしての複数の半導体メモリチップである。322はコンピュータ全体を示す。323はコンピュータ322の内部データバス、324は前記半導体メモリチップ1…のテストシーケンスを記憶するテストシーケンス記憶手段としてのROMである。前記半導体テスト回路チップ2は前記半導体メモリチップ1…をテストする機能を有する。

【0077】また、325はディスク、326は前記ディスク325に内蔵するオペレーションシステムであつて、前記プロセッサ319が通常の処理を行なっていない空き時間に半導体メモリチップ1…のテストを指示する。ディスク325は、テストによる不良被測定半導体集積回路チップ2が発見された場合に、その不良アドレスを記憶する。

【0078】次に、本実施例の動作を簡単に説明する。プロセッサ319が通常の処理を行なっていない空き時間を利用して、半導体テスト回路チップ2がROM324のテストシーケンスに従って半導体メモリチップ1…のテストを行なう。

【0079】半導体メモリチップ1…の何れかに不良が発見された場合には、プロセッサ319は、その半導体メモリチップ1の不良なアドレスを使用せず、また修理の時期を外部に報知する。これにより、コンピュータの信頼性を格段に向上させることができる。

#### 【0080】

【発明の効果】以上説明したように、本発明では、一品種の複数の被測定半導体集積回路チップのみをテストするように設計された専用機能を有する複数の半導体テス

ト回路チップを設け、これを使用して被測定半導体集積回路をテストするので、テスト結果を収集するコンピュータは、例えばワークステーションのような低価格のものでよく、半導体テスト装置の価格を大幅に下げることが可能であると共に、被測定半導体集積回路の同時測定数を大幅に増大でき、これにより被測定半導体集積回路のテストコストの著しい低減を可能にできる。

【0081】また、請求項10記載の発明によれば、被測定半導体集積回路の情報を半導体テスト回路チップ内の情報記憶手段に高速に転送しながら、複数情報を並列テストするので、不良判定する速度を被測定半導体集積回路の転送速度よりも遅くできる効果を奏する。更に、並列テスト回路を被測定半導体集積回路中に内蔵しないので、チップ面積の制約がなく、回路規模の大きな判定回路も採用することができる。加えて、判定結果の出力ピン数も制約されないため、多数の判定結果を出力できる。また、半導体テスト回路チップ内のテストパターンと独立に半導体テスト回路チップ内の情報記憶手段の記憶アドレスを発生する記憶アドレス発生手段を設けたので、任意の情報の組み合わせで並列テストを行うことができ、被測定半導体集積回路の内部のセルアレイ構成に依らず、不良検出率の高い並列テストを実現することができる。

#### 【図面の簡単な説明】

【図1】被測定半導体集積回路のテストの種類の説明図である。

【図2】本発明の第1の実施例における概略構成図である。

【図3】マザーボードの断面図である。

【図4】半導体テスト回路チップの内部構成を示す概略プロック図である。

【図5】半導体テスト回路チップに備える電流測定回路の概略構成図である。

【図6】半導体ウェハー上のプロセスモニタ領域の説明図である。

【図7】半導体テスト回路チップの構成図である。

【図8】情報判定手段の構成図である。

【図9】情報判定手段を構成する判定回路の回路図である。

【図10】他の半導体テスト回路チップの構成図である。

【図11】半導体テスト回路チップの動作説明図である。

【図12】本発明の第2の実施例におけるウェハテストに使用する半導体テスト装置の構成概略図である。

【図13】プロープカード本体の一構成例を示す図である。

【図14】プロープカード本体の他の構成例を示す図である。

【図15】アライメント方式の概略図である。

19

20

【図16】アライメント用パッドの一例を示す平面図である。

【図17】他のアライメント方式の概略図である。

【図18】半導体テスト回路チップを内蔵したコンピュータの内部構成を示すブロック図である。

【図19】従来のメモリテスト装置の概略構成図である。

【図20】従来のメモリテスト装置を用いた場合のテストコストトレンドを示した図である。

【符号の説明】

- 1 被測定半導体集積回路チップ
- 2 半導体テスト回路チップ
- 3 データ収集解析用コンピュータ
- 4 マザーボード（接続手段）
- 5 測定パターン発生回路
- 6 タイミング測定回路
- 7 電流測定回路
- 8 不良解析回路
- 9 制御回路

5.1 テストパターン発生手段

5.3 情報記憶手段選択回路

5.5 情報記憶手段

5.6、5.7 情報判定手段

5.8 判定結果選択回路

5.9 記憶アドレス発生手段

10.1 プローバー装置

10.3 プローブカード本体

10.4 プローブ針

10.6 半導体ウェハー

10.7 ウェハーステージ

11.1 センサー針

11.2 アライメント用パッド

15.1 容量センサ

15.2 容量センサ用パターン

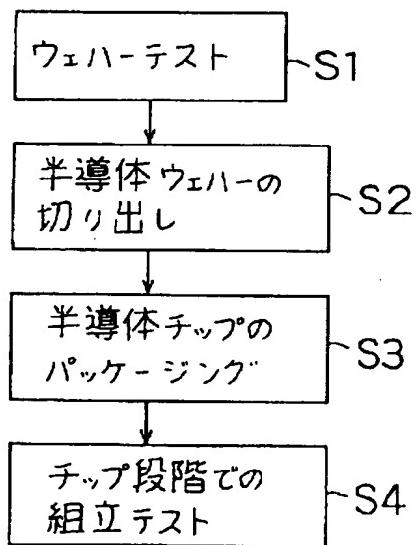
31.9 プロセッサ

32.4 ROM（テストシーケンス記憶手段）

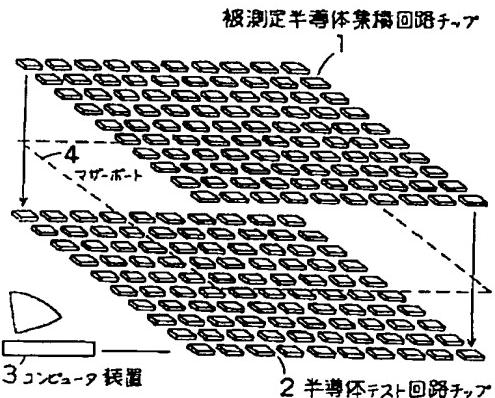
32.5 ディスク

32.6 オペレーションシステム

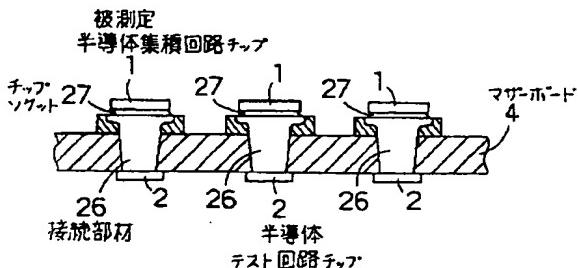
【図1】



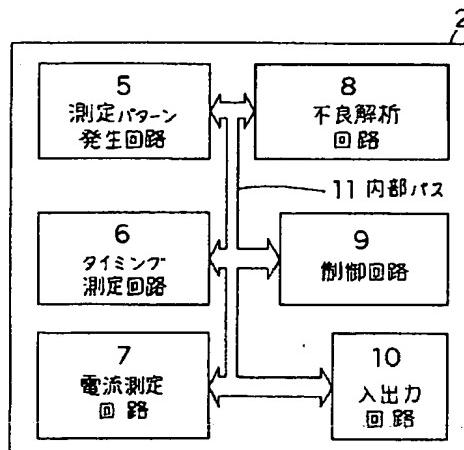
【図2】



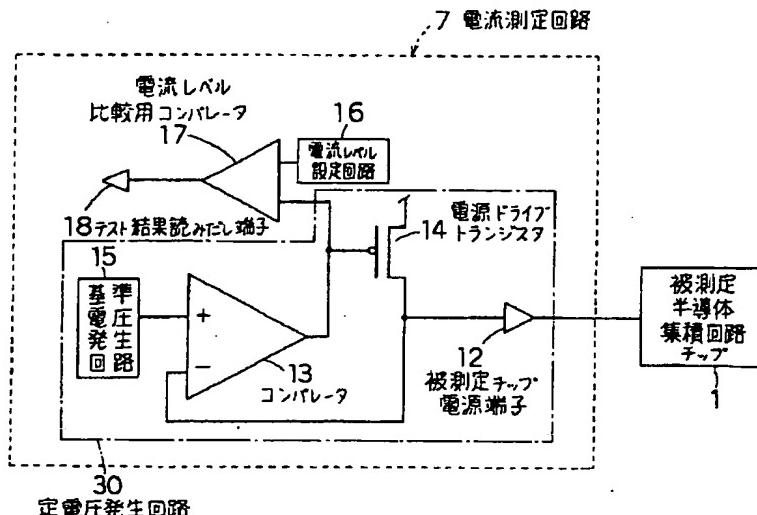
【図3】



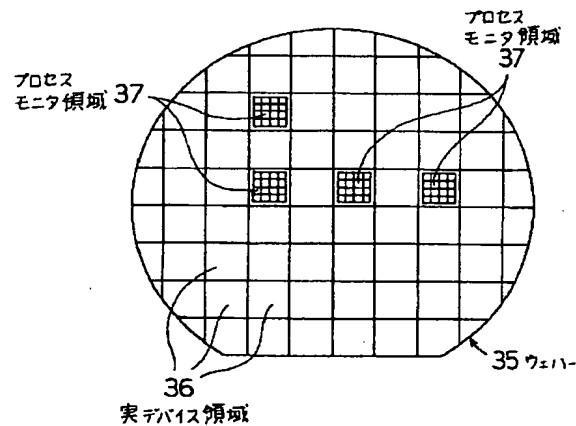
【図4】



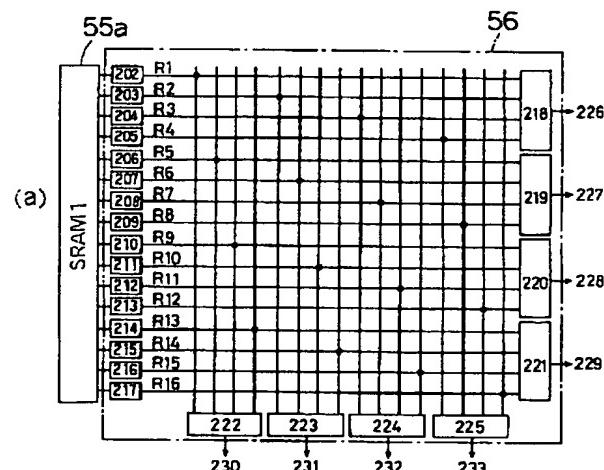
【図5】



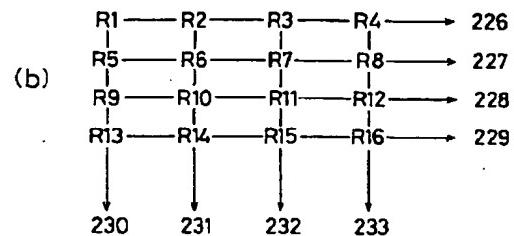
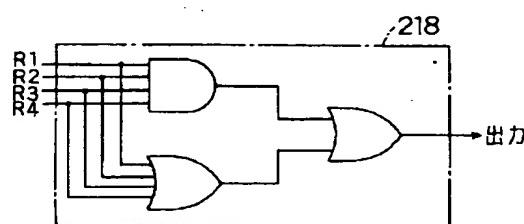
【図6】



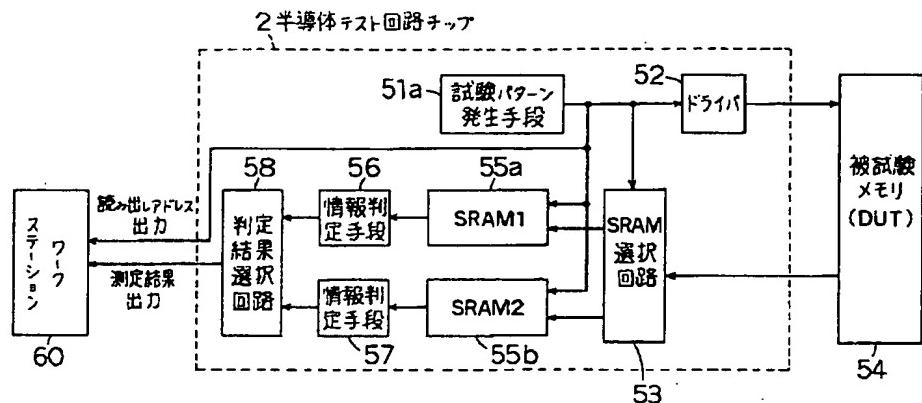
【図8】



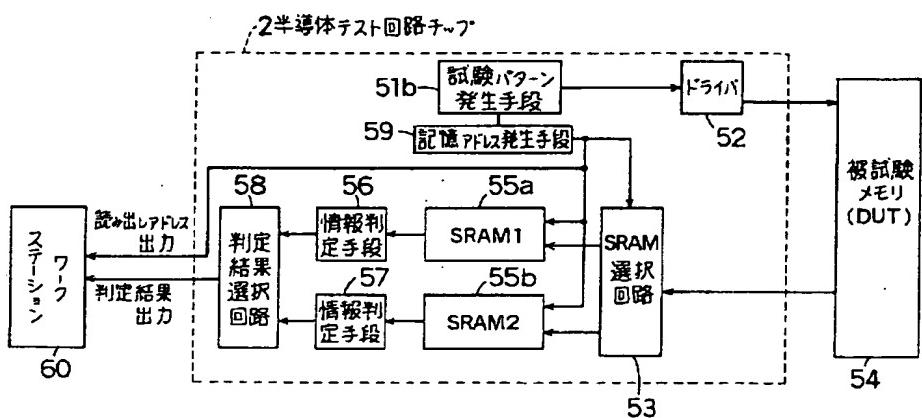
【図9】



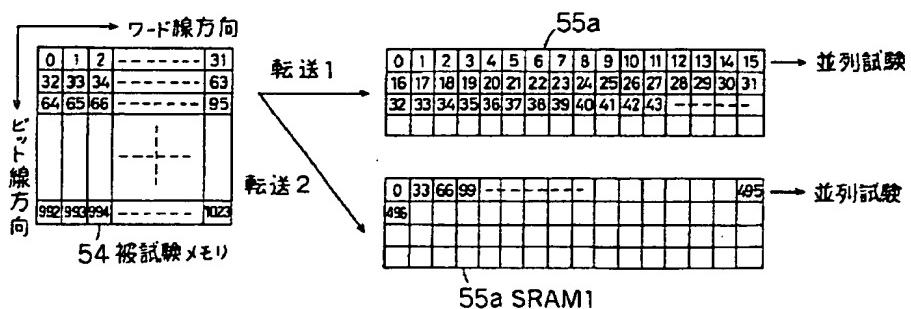
【図7】



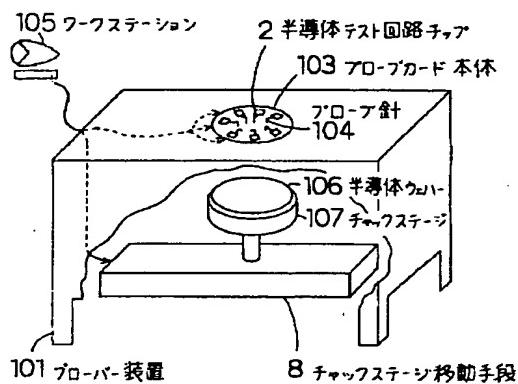
【図10】



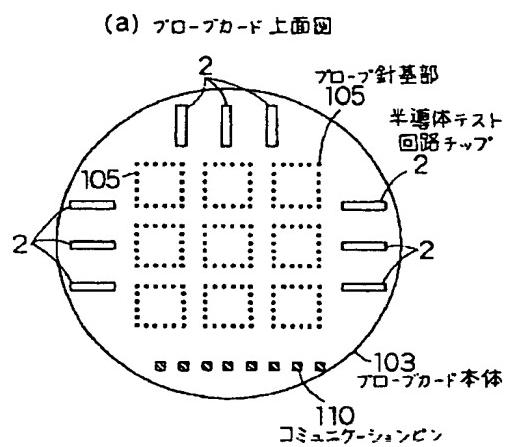
【図11】



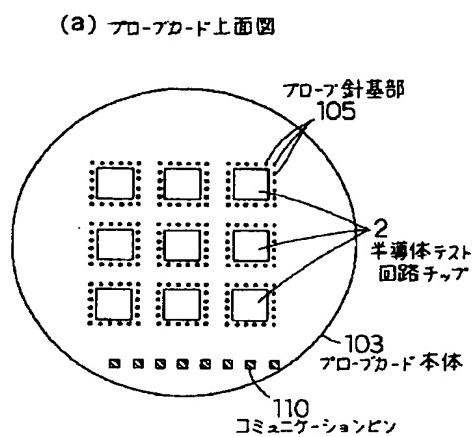
【図12】



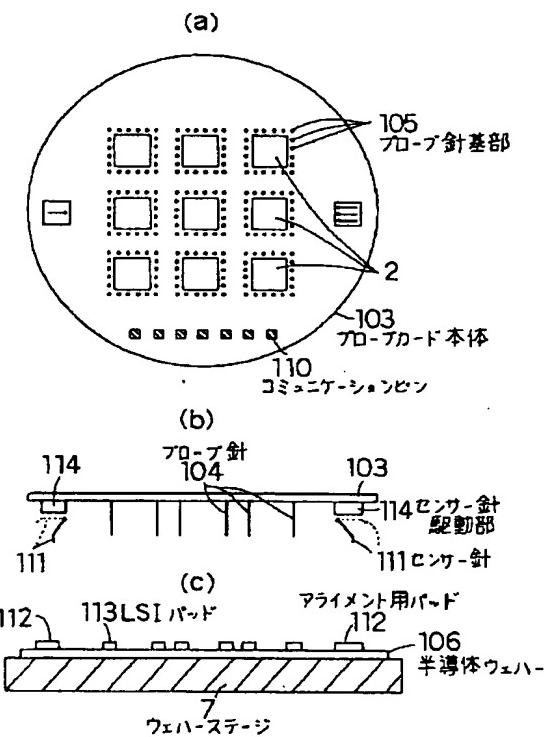
【図13】



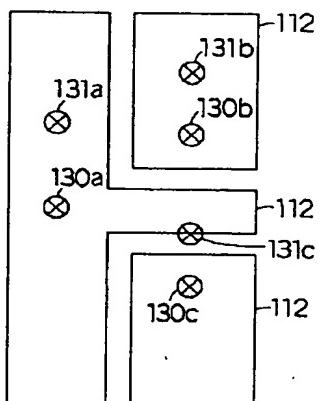
【図14】



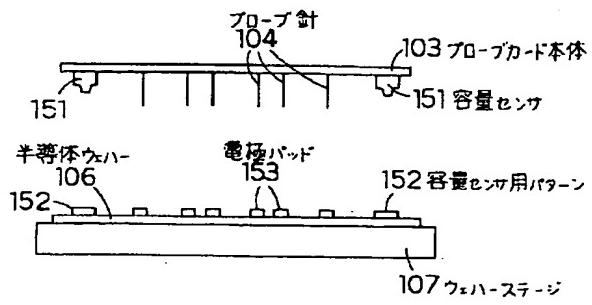
【図15】



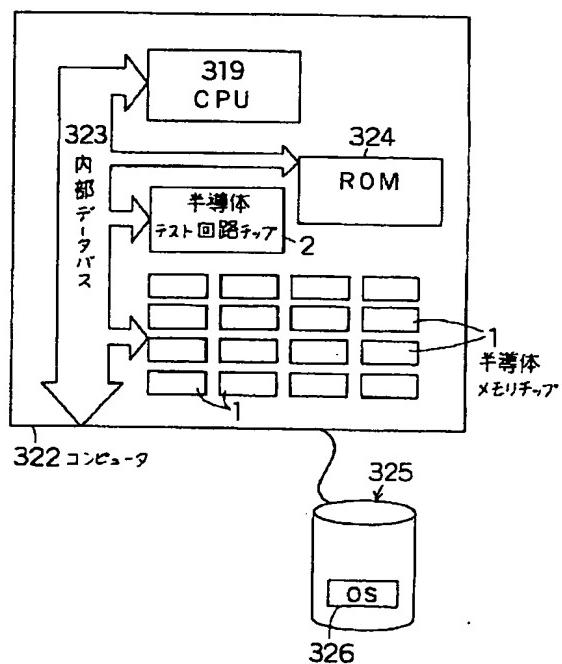
【図16】



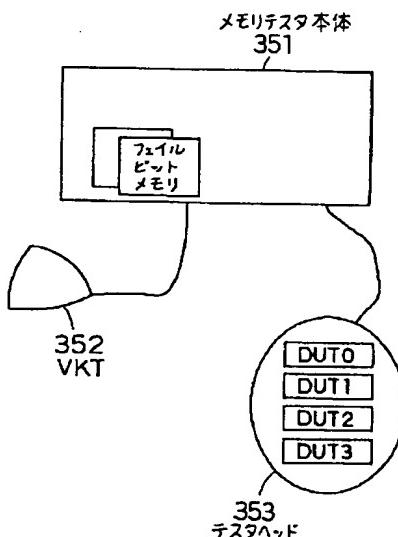
【図17】



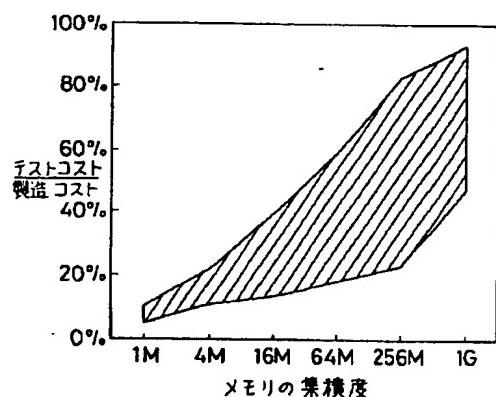
【図18】



【図19】



【図20】



フロントページの続き

(51) Int. Cl.<sup>5</sup>

H O 1 L 21/66

識別記号 庁内整理番号

F I

W 7630-4M

B 7630-4M

技術表示箇所

(72) 発明者 松山 和弘

大阪府門真市大字門真1006番地 松下電器

産業株式会社内